

日 本 国 特 許 庁
JAPAN PATENT OFFICE

12.11.03

PCT/JP03/14363

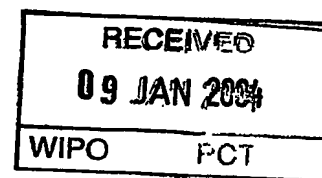
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2002年11月12日

出 願 番 号
Application Number: 特願2002-327663
[ST. 10/C]: [JP2002-327663]

出 願 人
Applicant(s): 三洋電機株式会社

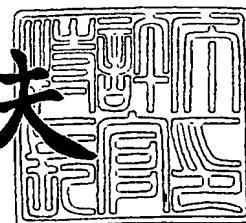


**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2003年12月18日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 KAB1020001

【提出日】 平成14年11月12日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/70

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

 【氏名】 鈴木 信広

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

 【氏名】 今井 憲次

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

 【氏名】 北村 勇也

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

 【氏名】 山口 恵一

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

【代理人】

 【識別番号】 100075258

 【弁理士】

 【氏名又は名称】 吉田 研二

 【電話番号】 0422-21-2340

【選任した代理人】

【識別番号】 100096976

【弁理士】

【氏名又は名称】 石田 純

【電話番号】 0422-21-2340

【手数料の表示】

【予納台帳番号】 001753

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積装置及びその製造方法

【特許請求の範囲】

【請求項 1】 スクライブラインによって区画された半導体基板の各領域に集積回路素子を形成する第 1 の工程と、

隣接する集積回路素子の境界を跨って内部配線を形成する第 2 の工程と、

前記半導体基板の裏面に前記スクライブラインに沿って、前記内部配線の一部を露出させる溝を形成する第 3 の工程と、

前記半導体基板の裏面及び前記溝を覆って金属膜を成膜する第 4 の工程と、

前記金属膜をパターンニングして外部配線を形成すると共に、前記金属膜を前記溝の底部で除去する第 5 の工程と、

前記外部配線及び前記溝の底部を覆って保護膜を成膜する第 6 の工程と、

前記スクライブラインに沿って前記半導体基板を分割する第 7 の工程と、を含むことを特徴とする半導体集積装置の製造方法。

【請求項 2】 請求項 1 に記載の半導体集積装置の製造方法において、

前記第 7 の工程は、前記溝の底部よりも幅の狭い切断幅で前記半導体基板を分割することを特徴とする半導体集積装置の製造方法。

【請求項 3】 請求項 1 に記載の半導体集積装置の製造方法において、

前記第 5 の工程は、前記溝の底部上の前記金属膜を前記第 6 の工程での分割時の切断幅よりも幅広に除去することを特徴とする半導体集積装置の製造方法。

【請求項 4】 半導体基板に集積回路素子が形成される半導体チップと、

前記半導体基板上に形成され、前記半導体基板の側辺まで延在する内部配線と、

前記半導体チップの側面を迂回して配置され、前記内部配線と接続される外部配線と、を有し、

前記外部配線の端部が保護膜に覆われてなることを特徴とする半導体集積装置

。

【請求項 5】 請求項 4 に記載の半導体集積装置において、

前記外部配線の端部が当該半導体集積装置の側面よりも内側に位置することを

特徴とする半導体集積装置。

【請求項 6】 請求項 4 又は請求項 5 に記載の半導体集積装置において、前記外部配線は、銅が添加されたアルミニウムからなることを特徴とする半導体集積装置。

【請求項 7】 請求項 4 又は請求項 5 に記載の半導体集積装置において、前記内部配線は、銅が添加されたアルミニウムからなることを特徴とする半導体集積装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、素子の側面に金属の外部配線を有する半導体集積装置及びその製造方法に関する。

【0002】

【従来の技術】

半導体集積装置のチップサイズの小型化を測るために、素子側面から外部配線を取り出したチップサイズパッケージ（CSP）が用いられるようになっている。

【0003】

図 12 にチップサイズパッケージを用いた半導体集積装置の外観図を示す。通常、チップサイズパッケージの半導体集積装置は、半導体チップ 10 をエポキシ等の樹脂層 12 を介して上部支持基体 14 と下部支持基体 16 によって挟み込み、その側面から外部配線 18 を取り出し、素子の裏面に設けたボール状端子 20 に接続した構造を有する。

【0004】

このような構造を有するチップサイズパッケージの半導体集積装置は、図 13 ～図 19 のように、半導体チップ 10 の両面を樹脂層 12 を介して上部支持基体 14 と下部支持基体 16 とで挟み込んだ積層体を形成する積層体形成工程（S10）と、下部支持基体 16 側からダイシングソー等による切削によって逆 V 字型に溝（切り欠き溝）24 を形成して、半導体チップ 10 の内部配線 26 の端部 2

8を露出させる切削工程（S12）と、溝24の内面に金属膜30を成膜する金属膜成膜工程（S14）と、その金属膜30をパターンニングして内部配線26の端部28と緩衝部材32とを接続する外部配線18を形成するパターンニング工程（S16）と、保護膜34を成膜する保護膜成膜工程（S18）と、ボール状端子20を形成する端子形成工程（S20）と、溝24の底部をスクライブラインとして切断するダイシング工程（S22）と、を行うことによって製造される。

【0005】

【非特許文献1】

“PRODUCTS”、[online]、SHELLCASE社、[平成14年10月1日検索]、インターネット<URL <http://www.shellcase.com/pages/products-shellOP-process.asp>>

【0006】

【発明が解決しようとする課題】

上記従来技術によって製造されたチップサイズパッケージの半導体集積装置は、図20の端部拡大図のように、素子側面にある外部配線18の端部36が保護膜34に覆われておらず、素子外部からの腐食が進行し易い問題があった。

【0007】

その結果、外部配線18が素子側面から剥がれ易く、内部配線26との接触抵抗も大きくなり、半導体集積装置の動作の信頼性が低下する問題を生じていた。

【0008】

また、ダイシング工程（S22）後に外部配線18の端部36を保護膜で被うには、切断された半導体集積装置の個々に対して保護膜の塗布処理を別途行う必要があるため、製造のスループットを著しく低下させる原因となっていた。

【0009】

本発明は、上記従来技術の問題を鑑みて、上記課題の少なくとも1つを解決すべく、素子側面にある外部配線の腐食を防ぐことが出来る半導体集積装置及びその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】

上記課題を解決するための本発明は、スクライプラインによって区画された半導体基板の各領域に集積回路素子を形成する第1の工程と、隣接する集積回路素子の境界を跨って内部配線を形成する第2の工程と、前記半導体基板の裏面に前記スクライプラインに沿って、前記内部配線の一部を露出させる溝を形成する第3の工程と、前記半導体基板の裏面及び前記溝を覆って金属膜を成膜する第4の工程と、前記金属膜をパターンニングして外部配線を形成すると共に、前記金属膜を前記溝の底部で除去する第5の工程と、前記外部配線及び前記溝の底部を覆って保護膜を成膜する第6の工程と、前記スクライプラインに沿って前記半導体基板を分割する第7の工程とを含むことを特徴とする半導体集積装置の製造方法である。

【0011】

ここで、上記記載の半導体集積装置の製造方法において、前記第7の工程は、前記溝の底部よりも幅の狭い切断幅で前記半導体基板を分割する工程であることが好適である。

【0012】

ここで、上記半導体集積装置の製造方法において、前記第5の工程は、前記溝の底部上の前記金属膜を前記第6の工程での分割時の切断幅よりも幅広に除去する工程であることが好適である。

【0013】

また、上記課題を解決するための本発明の別の形態は、半導体基板に集積回路素子が形成される半導体チップと、前記半導体基板上に形成され、前記半導体基板の側辺まで延在する内部配線と、前記半導体チップの側面を迂回して配置され、前記内部配線と接続される外部配線と、を有し、前記外部配線の端部が保護膜に覆われてなることを特徴とする半導体集積装置である。

【0014】

ここで、上記半導体集積装置において、前記外部配線の端部が当該半導体集積装置の側面よりも内側に位置することが好適である。

【0015】

また、上記半導体集積装置において、前記外部配線は、銅が添加されたアルミニウムからなることが好適であり、前記内部配線は、銅が添加されたアルミニウムからなることが好適である。

【0016】

【発明の実施の形態】

本発明の実施の形態における半導体集積装置の製造方法は、図1～図9に示すように、集積回路素子形成工程（S30）、内部配線形成工程（S32）、積層体形成工程（S34）、切削工程（S36）、金属膜成膜工程（S38）、パターンニング工程（S40）、保護膜成膜工程（S42）、端子形成工程（S44）及びダイシング工程（S46）とから基本的に構成される。

【0017】

ステップS30の集積回路素子形成工程は、図1のように、スクライブラインによって区画された半導体基板10（ウエハ）の各領域に集積回路素子を形成する。半導体基板10は、シリコン、砒化ガリウム等の一般的な半導体材料とすることができ、集積回路素子の形成は、周知の半導体プロセスによって行うことができる。

【0018】

ステップS32の内部配線形成工程は、図2のように、半導体基板10の表面に、隣接する集積回路素子の境界を跨るように、酸化膜を介して内部配線26を形成する。この内部配線26は、酸化膜中に形成されるコンタクトホールを介して集積回路素子と電氣的に接続される。

【0019】

また、内部配線26の材料としては、銀、金、銅、アルミニウム、ニッケル、チタン、タンタル、タングステン等の半導体装置に対して一般的に用いられる材料を主材料とすることができ、電氣的抵抗値や材料の加工性を考慮した場合にはアルミニウムを用いることが好適である。また、素子外部からの腐食を避けるために銅を0.1原子%以上20原子%以下の範囲で含むアルミニウムを用いることがより好適である。

【0020】

また、内部配線 26 の膜厚は、後に形成される外部配線との接触抵抗を低減するために $1\ \mu\text{m}$ 以上とすることが好ましい。一方、配線の加工精度を高くし、かつ成膜時間を短くするために $10\ \mu\text{m}$ 以下とすることが好ましい。

【0021】

ステップ S34 の積層体形成工程では、図 3 のように、集積回路素子が形成された半導体基板 10 の表裏面にエポキシ接着剤等の樹脂層 12 を塗布し、上部支持基体 14 と下部支持基体 16 とで挟み込んで積層体を形成する。

【0022】

このとき、半導体基板 10 を裏面側から機械研磨、化学的研磨等でグラインドして半導体基板 10 の厚みを薄くし、半導体基板 10 を裏面側からスクライブラインに沿ってエッチングして内部配線 26 が積層される酸化膜の表面が露出するように加工する。

【0023】

上部支持基体 14 及び下部支持基体 16 は、ガラス、プラスチック、金属又はセラミック等の半導体装置のパッケージングに用いられる材料から適宜選択して用いることができる。例えば、固体撮像素子をシリコン基板上に形成した場合には、上部支持基体としては透明なガラスやプラスチックを選択することが好適である。

【0024】

次いで、下部支持基体 16 の表面上に、後の工程でボール状端子 20 を形成する位置に緩衝部材 32 を形成する。この緩衝部材 32 は、ボール状端子 20 に係る応力を緩和するクッションの役割を果たす。緩衝部材 32 の材料としては、柔軟性を有し、且つ、パターンニングが可能な材料が適し、感光性エポキシ樹脂を用いるのが好適である。

【0025】

ステップ S36 の切削工程では、図 4 のように、下部支持基体 16 側から上部支持基体 14 に達するまでダイシングソー等によって逆 V 字型に溝（切り欠き溝）24 を形成する。その結果、溝 24 の内面に内部配線 26 の端部 28 が露出する。

【0026】

ステップS38の金属膜成膜工程では、図5のように、溝24が形成された下部支持基体16側に金属膜30を成膜する。この金属膜30は溝24の底面及び側面にも成膜され、下記のパターンニング工程において形状加工されることによって内部配線26を外部に引き出す外部配線18となる。

【0027】

金属膜30の材料としては、銀、金、銅、アルミニウム、ニッケル、チタン、タンタル、タングステン等の半導体装置に対して一般的に用いられる材料を主材料とすることができる。電氣的抵抗値や材料の加工性を考慮した場合にはアルミニウムを用いることが好適である。また、素子外部からの腐食を避けるために銅を0.1原子%以上20原子%以下の範囲で含むアルミニウムを用いることがより好適である。

【0028】

ステップS40のパターンニング工程では、図6のように、金属膜30を所定の配線パターンにパターンニングして外部配線18の形状加工を行う。パターンニングには、既存のフォトリソグラフィ技術、エッチング技術を用いることができる。

【0029】

ステップS40においては、パターンニングと同時に、さらに溝24の底面に成膜された金属膜30の除去を行う。すなわち、図10に示すように、溝24の底部分以外を被うようにレジストパターン38を形成し、このレジストパターン38をマスクとしてエッチングを行って溝24の底面の金属膜30を除去する。

【0030】

ステップS42の保護膜成膜工程では、図7のように、下部支持基体16側の緩衝部材32以外の領域を覆うように保護膜34を成膜する。保護膜34としては、パターンニングできる材料が適しているため、緩衝部材32と同じ感光性エポキシ樹脂等を用いることができる。

【0031】

ステップS44の端子形成工程では、図8のように、下部支持基体16の緩衝

部材 32 上に外部端子としてボール状端子 20 を形成する。ボール状端子 20 は、例えば、はんだ材料で形成され、既存の手法を用いて形成することができる。

【0032】

ステップ S46 のダイシング工程では、図 9 のように、溝 24 の底部をスクレイブラインとしてダイシングソー等を用いて積層体を切断して、個々の半導体集積装置に分断する。

【0033】

このとき、切断幅がステップ S30 における金属膜 30 の除去幅よりも狭くなるようなダイシングソーを選択して用いる。これにより、外部配線 18 の端部 36 が、分割された後の半導体集積装置の側面よりも内側に位置し、外部配線 18 の端部 36 が保護膜 34 によって覆われることになる。尚、切断幅が金属膜 30 の除去幅よりも狭くなるようなダイシングソーが選択できない場合には、ステップ S30 において、予め金属膜 30 を幅広く除去するようにしても良い。

【0034】

以上のように、本実施の形態の半導体集積装置の製造方法によれば、図 11 の端部拡大図のように、装置側面に外部配線 18 を有するチップサイズパッケージの半導体集積装置において、装置側面の外部配線 18 の端部 36 が保護膜 34 によって完全に覆われる構造となる。

【0035】

従って、装置外部からの腐食が進行し難く、外部配線 18 の剥がれや内部配線 26 との接触抵抗の劣化を防ぐことができる。その結果、半導体集積装置の動作の信頼性を向上することができる。

【0036】

また、半導体集積装置の個々に対して保護膜を塗布する処理においても別途行う必要がなく、製造のスループットを低下させることもない。

【0037】

なお、本実施の形態では、ボールグリッドアレイ (BGA) 型のチップサイズパッケージを例として説明を行ったが、素子側面に外部配線を有する半導体集積装置であれば同様に製造することによって同様の構造を得ることが可能であり、

同様の効果を得ることができる。

【 0 0 3 8 】

【発明の効果】

本発明によれば、素子側面に外部配線を有する半導体集積装置であって、製造工程を増やすことなく、配線の腐食がない半導体集積装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態における集積回路素子形成工程を示す図である。

【図 2】 本発明の実施の形態における内部配線形成工程を示す図である。

【図 3】 本発明の実施の形態における積層体形成工程を示す図である。

【図 4】 本発明の実施の形態における切削工程を示す図である。

【図 5】 本発明の実施の形態における金属膜成膜工程を示す図である。

【図 6】 本発明の実施の形態におけるパターンニング工程を示す図である。

。

【図 7】 本発明の実施の形態における保護膜成膜工程を示す図である。

【図 8】 本発明の実施の形態における端子形成工程を示す図である。

【図 9】 本発明の実施の形態におけるダイシング工程を示す図である。

【図 1 0】 本発明の実施の形態におけるパターンニング工程での金属膜の除去の様子を示す図である。

【図 1 1】 本発明の実施の形態における半導体集積装置の端部拡大図である。

【図 1 2】 チップサイズパッケージの半導体集積装置の外観を示す図である。

【図 1 3】 従来技術における積層体形成工程を示す図である。

【図 1 4】 従来技術における切削工程を示す図である。

【図 1 5】 従来技術における金属膜成膜工程を示す図である。

【図 1 6】 従来技術におけるパターンニング工程を示す図である。

【図 1 7】 従来技術における保護膜成膜工程を示す図である。

【図 1 8】 従来技術における端子形成工程を示す図である。

【図 1 9】 従来技術におけるダイシング工程を示す図である。

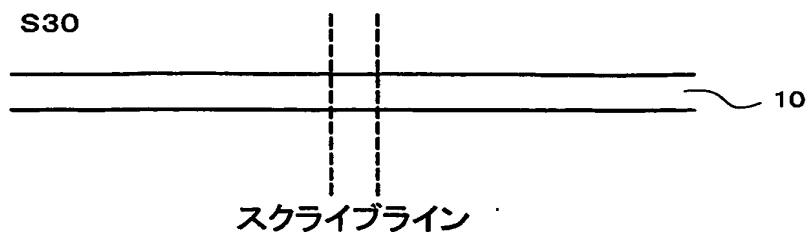
【図 2 0】 従来の半導体集積装置の端部拡大図である。

【符号の説明】

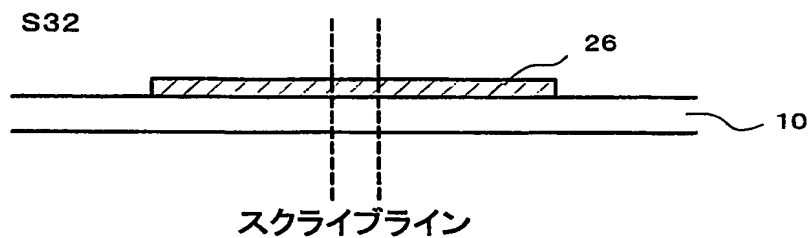
1 0 半導体チップ、1 2 樹脂層、1 4 上部支持基体、1 6 下部支持基体、1 8 外部配線、2 0 ボール状端子、2 4 溝、2 6 内部配線、2 8 内部配線の端部、3 0 金属膜、3 2 緩衝部材、3 4 保護膜、3 6 外部配線の端部、3 8 レジスト。

【書類名】 図面

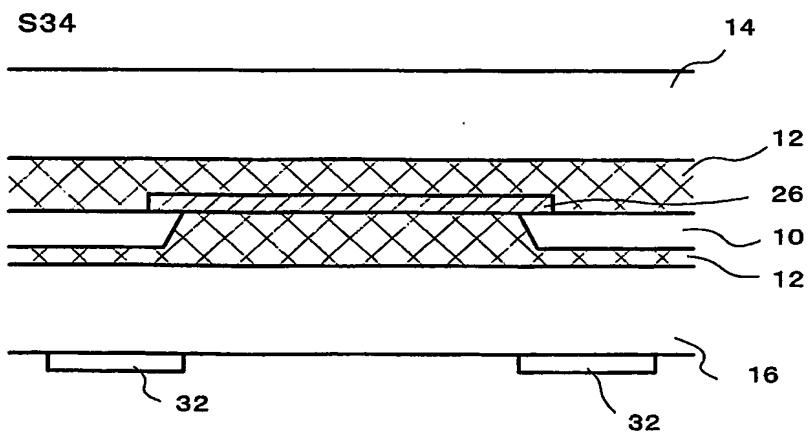
【図 1】



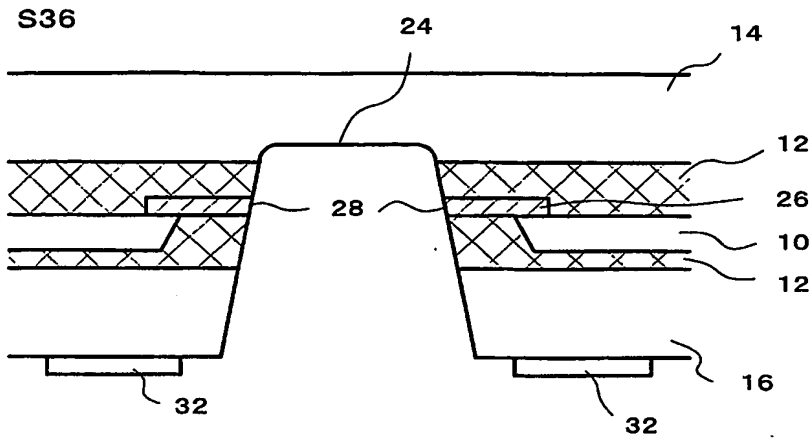
【図 2】



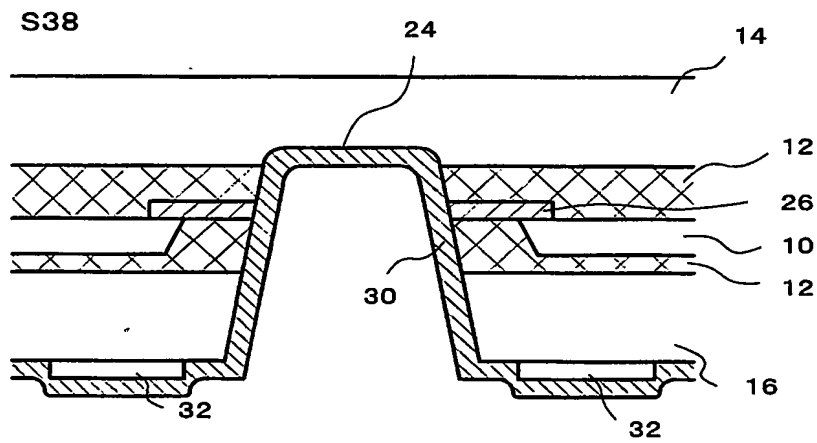
【図 3】



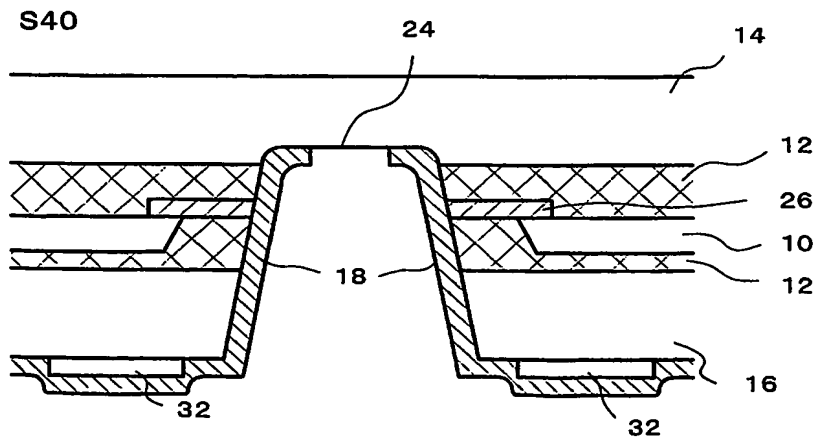
【図 4】



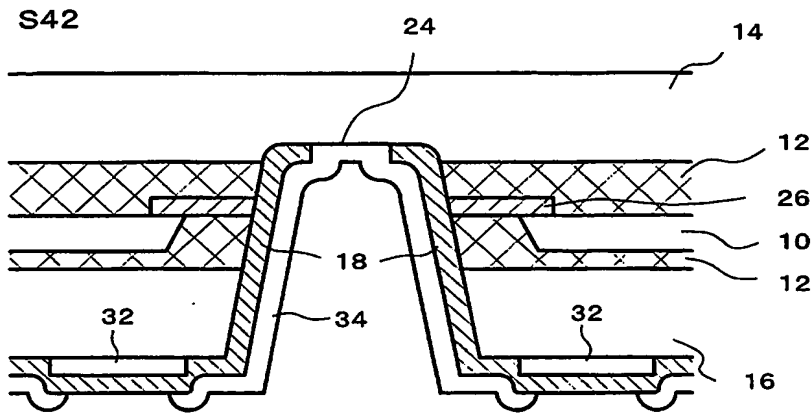
【図 5】



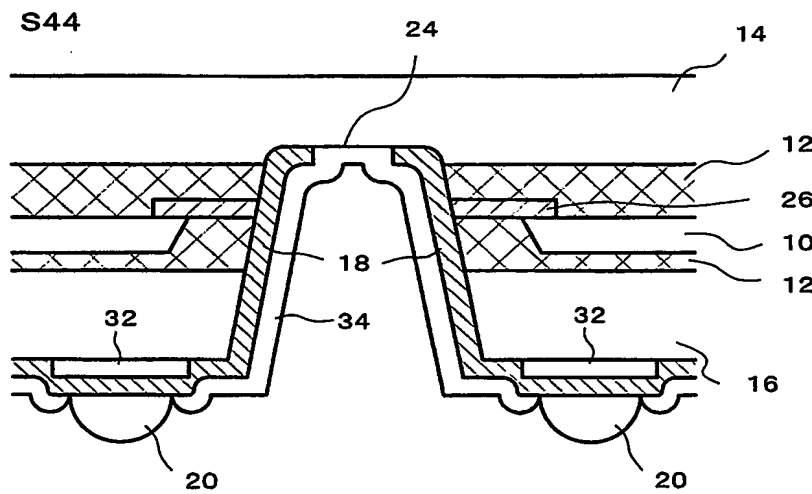
【図 6】



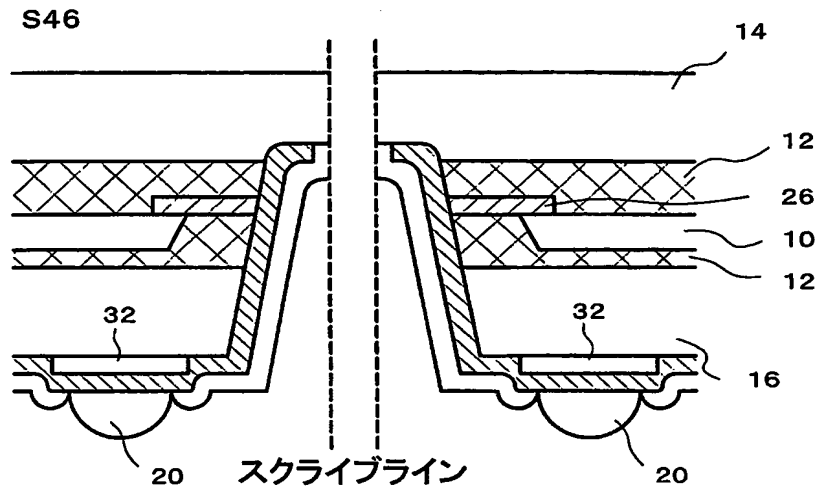
【図 7】



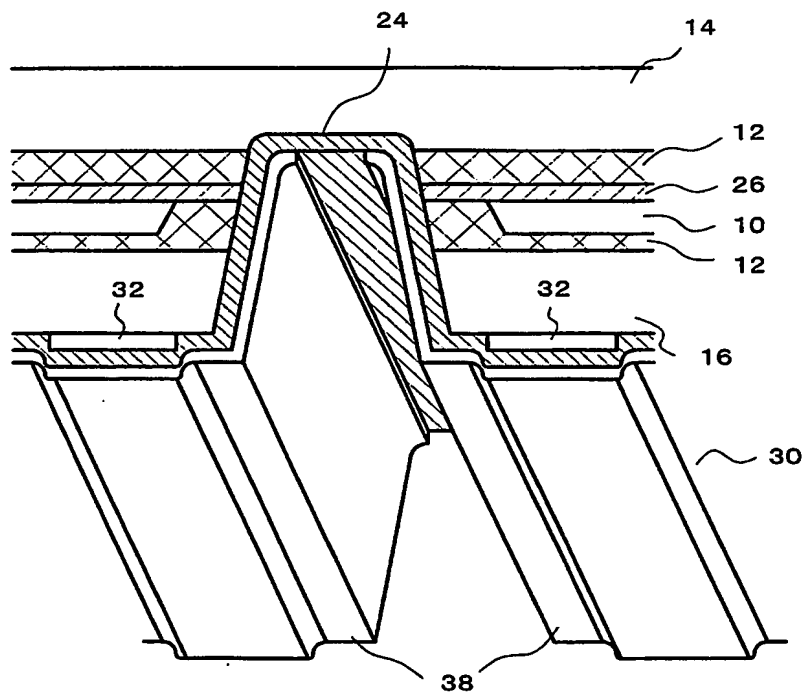
【図 8】



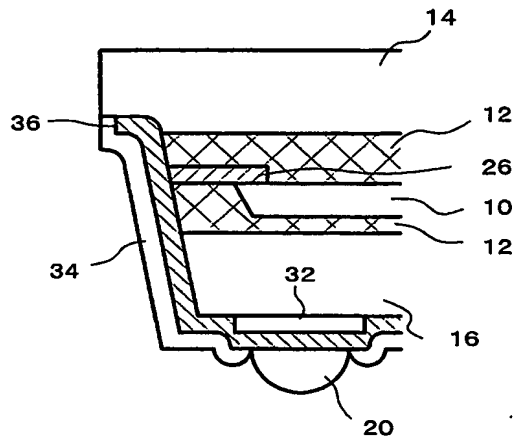
【図 9】



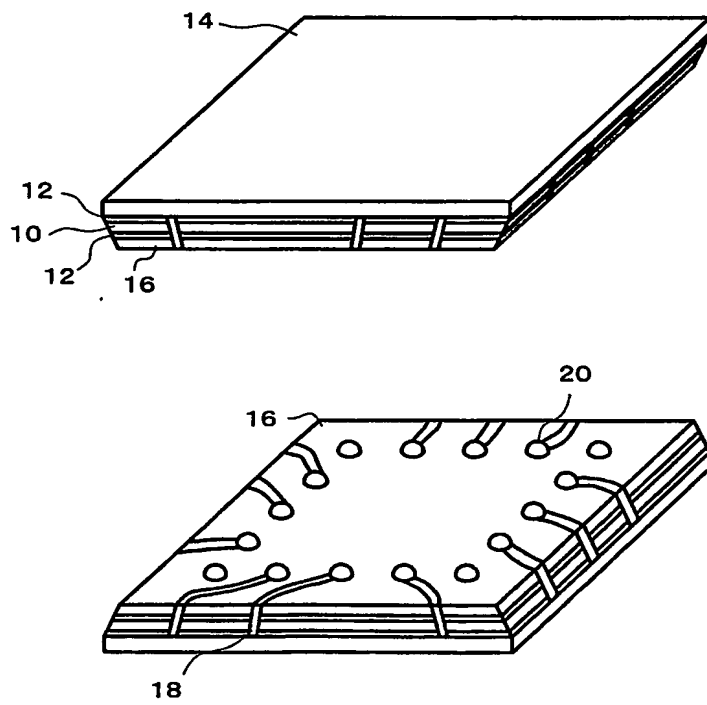
【図 10】



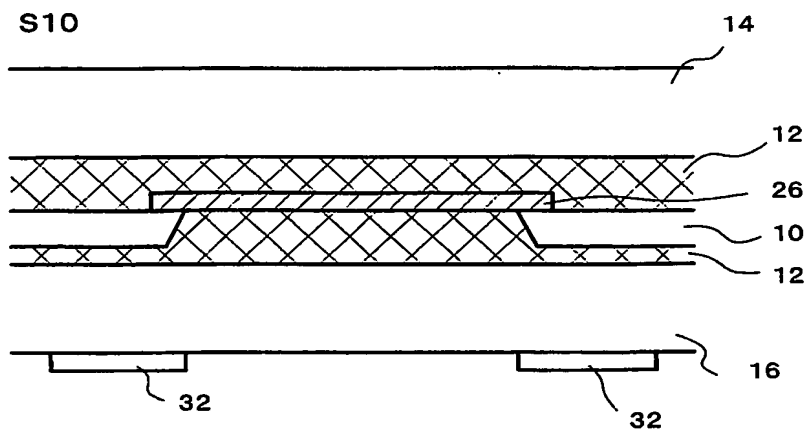
【図 1 1】



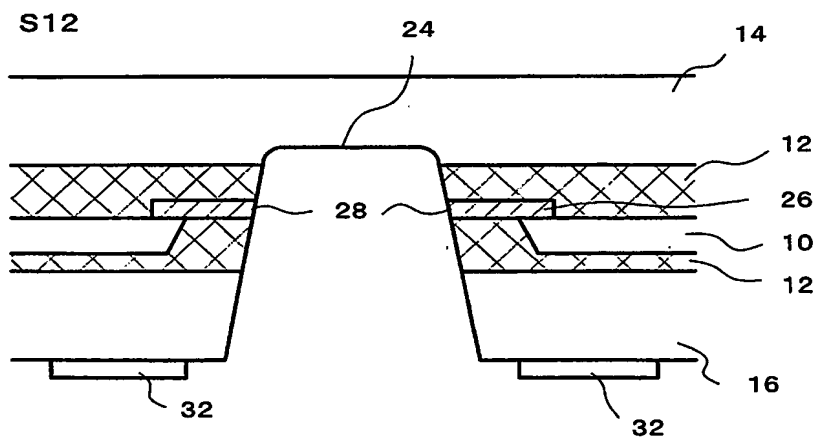
【図 1 2】



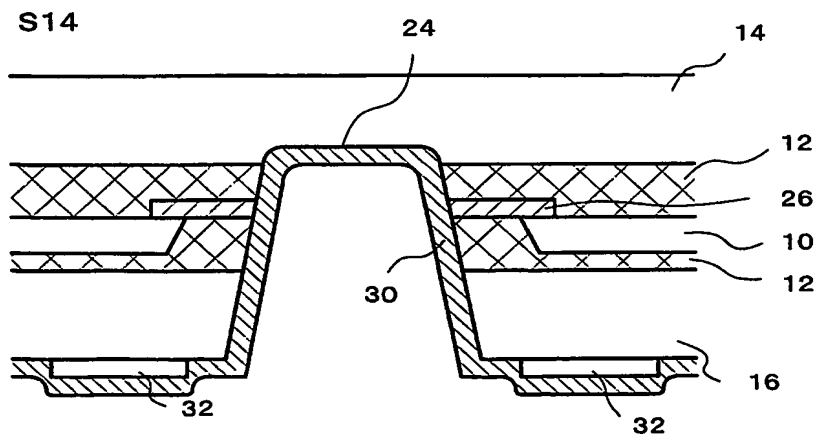
【図 13】



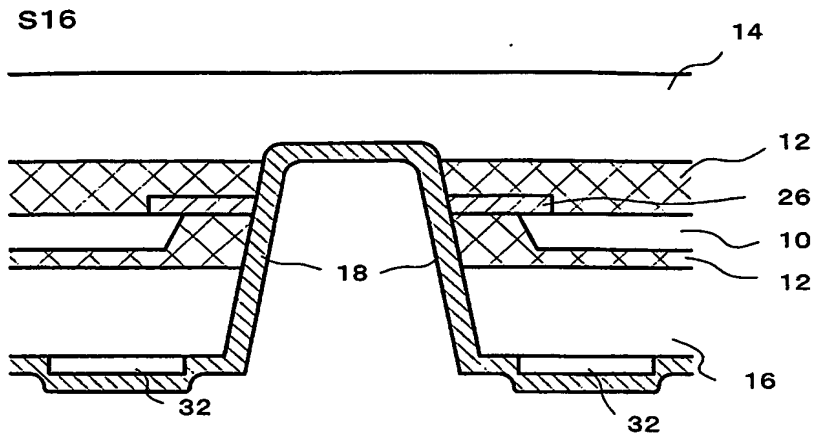
【図 14】



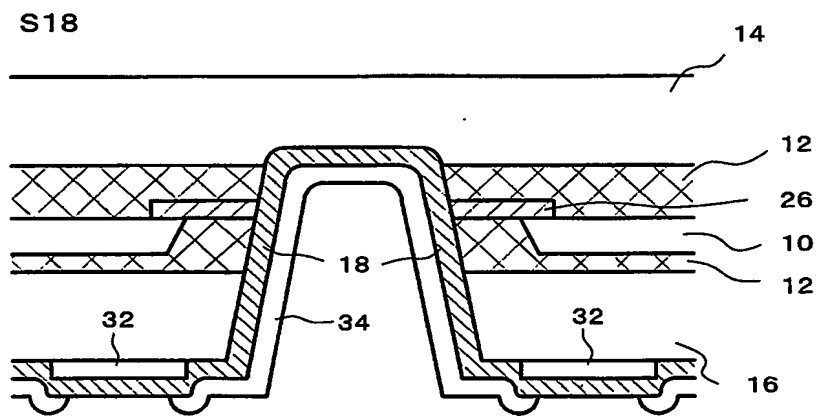
【図 15】



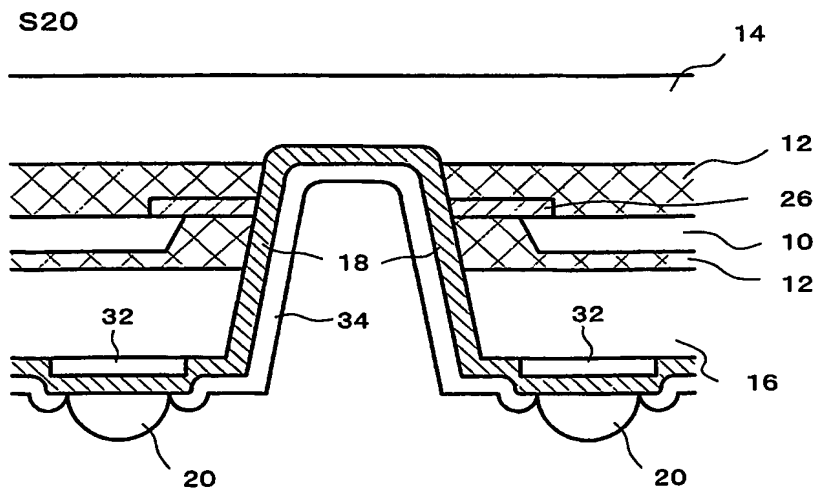
【図 16】



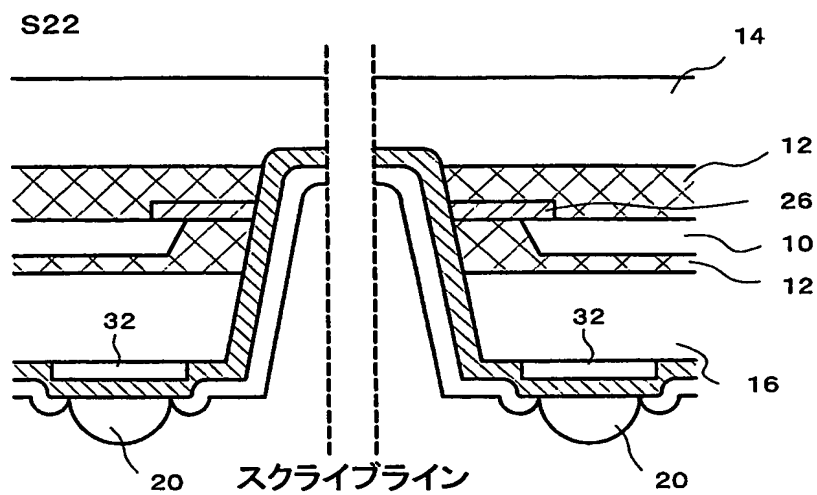
【図 17】



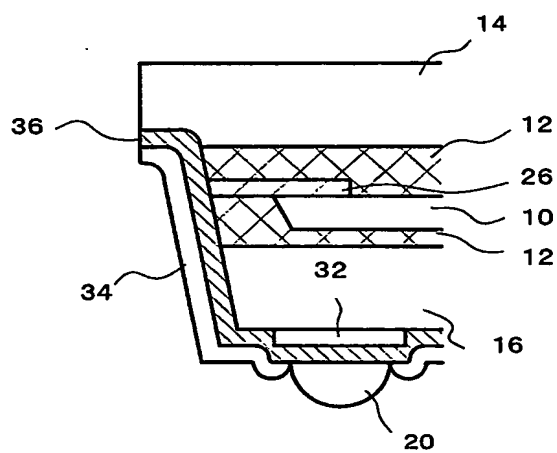
【図 18】



【図 19】



【図 20】



【書類名】 要約書

【要約】

【課題】 素子側面にある外部配線の腐食を防ぐことが出来る半導体集積装置の製造方法を提供する。

【解決手段】 半導体基板 10 に集積回路素子を形成する工程と、内部配線 26 を形成する工程と、半導体基板 10 の裏面にスクライプラインに沿って、内部配線 26 の一部を露出させる溝を形成する工程と、少なくとも溝を覆って金属膜を成膜する工程と、金属膜をパターンニングして外部配線 18 を形成すると共に、金属膜を溝の底部で除去する工程と、外部配線 18 及び溝の底部を覆って保護膜 34 を成膜する工程と、スクライプラインに沿って半導体基板 10 を分割する工程とを含む製造方法。

【選択図】 図 11

特願 2002-327663

出願人履歴情報

識別番号

[000001889]

1. 変更年月日

1993年10月20日

[変更理由]

住所変更

住所

大阪府守口市京阪本通2丁目5番5号

氏名

三洋電機株式会社